

日本国特許庁  
JAPAN PATENT OFFICE

T. Tonegawa  
1/22/04  
Q 79466  
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月24日  
Date of Application:

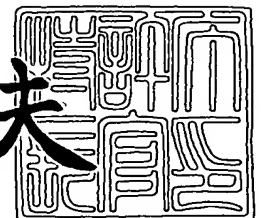
出願番号 特願2003-016700  
Application Number:  
[ST. 10/C]: [JP 2003-016700]

出願人 NECエレクトロニクス株式会社  
Applicant(s):

2003年12月 3日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 74112721

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼辺 1 7 5 3 番地

NECエレクトロニクス株式会社内

【氏名】 利根川 丘

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 銅配線に他の原子とシリコン原子との両方が、配線の底面及び側面部分は前記他の金属原子がリッチとなり、配線の表面部分は前記シリコン原子がリッチとなるような分布をもって添加されていることを特徴とする半導体装置。

【請求項 2】 上層の銅配線と下層の銅配線を有し、これら銅配線のそれぞれに他の原子とシリコン原子との両方が、配線の底面及び側面部分は前記他の原子がリッチとなり、配線の表面部分は前記シリコン原子がリッチとなるような分布をもって添加されており、前記上層の銅配線は配線部分とこの配線部分に連続するビア部分を有し、前記ビア部分が前記下層の銅配線に電氣的に接続されている半導体装置。

【請求項 3】 上層の銅配線と下層の銅配線を有し、これら銅配線のそれぞれに他の原子とシリコン原子との両方が、配線の底面及び側面部分は前記他の原子がリッチとなり、配線の表面部分は前記シリコン原子がリッチとなるような分布をもって添加されており、前記上層の銅配線と前記下層の銅配線とは、バリア層で周囲が取り囲まれた銅層を介して電氣的に接続されている半導体装置。

【請求項 4】 前記他の原子は Al, Sn, Ti, Si, In, Ag, Zr, Ni, Mg, Be, Pd, Co, B, Zn, Ca, Au および Ga の中から少なくとも 1 種類の原子が選ばれる請求項 1 ないし 3 のいずれかに記載の記載の半導体装置。

【請求項 5】 シード層上に形成された銅配線層の中に、前記シード層を銅を主構成として他の原子を添加したものとするにより、前記他の原子を拡散添加させ、さらに前記銅配線の表面からシリコン原子を拡散添加することを特徴とする半導体装置の製造方法。

【請求項 6】 前記シリコン原子の拡散添加は、銅のシリサイド化反応が実質的に起きないようにシランを前記銅配線に照射することにより行われる請求項 5 記載の半導体装置。

【請求項 7】 前記シード層における前記他の原子は 0. 1 ～ 1. 5 の重量 % となっている請求項 6 記載の半導体装置。

【請求項 8】 前記他の金属は Al であり、前記シード層における Al は 0. 1 乃至 1 未満の重量 % となっている請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置、特に銅配線を有する半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

配線抵抗の低減は、素子の微細化、超高集積化に伴いますます重要な事項となっている。その一手段として、銅 (Cu) を配線材料としさらに所謂ダマシンプロセスを採用した埋め込み銅配線を用いた半導体装置が実用化されている。

【0 0 0 3】

配線は、その抵抗低減のほかに、エレクトロマイグレーション (EM) 耐性を有することも要求されており、銅配線についてもその対策を施す必要がある。

【0 0 0 4】

そのために、銅配線にアルミニウム (Al) や銀 (Ag) 等の他の金属材料を添加して銅合金とすることが、特開 2 0 0 0 - 1 5 0 5 2 2 号公報や特開 2 0 0 2 - 7 5 9 9 5 号公報で提案されている。すなわち、層間絶縁膜に配線溝および／または下層との接続のためのビアを埋め込むように形成された銅層に、かかる銅層形成のためのシード層を Cu-Al や Cu-Ag のような銅合金としておくか、又はかかる銅層上に他の金属層を形成して、銅層内に金属原子を拡散させている。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 0 - 1 5 0 5 2 2 号公報

【特許文献 2】

特開 2 0 0 2 - 7 5 9 9 5 号公報

## 【0006】

## 【発明が解決しようとする課題】

しかしながら、かかる手法では、配線としてEM耐性のほかに要求されるストレスマイグレーション (SM) 耐性が向上されていないことが判明した。

## 【0007】

すなわち、配線の表面の一部には、上層への接続のためのビアが接触形成されることになるが、この接触部分においてストレスが発生する。上記のEM耐性向上のうち、シード層からの金属原子拡散手法では、銅配線の上表面まで到達する金属原子は十分とはいかない。このため、上層ビアの接続部分でのストレスにより、銅配線層内の微細な空洞が移動し同部分でボイドを形成してしまう。このボイドは、たとえ特開2000-58544号公報や特開2000-150517号公報のように、銅配線表面を銅シリサイド層で塞いだ構造でも、発生してしまう。

## 【0008】

銅配線表面からの金属原子拡散のEM耐性向上手法では、今度は、銅配線底面部分にボイドが発生してしまう。

## 【0009】

このようなSMによるボイド発生は、銅配線の表面積が広がるほど（すなわち、配線幅が広いほどおよび／または配線長が長いほど）起こりやすい。

## 【0010】

## 【課題を解決するための手段】

本発明による半導体装置は、銅配線に他の原子とシリコン原子との両方が、銅配線の底面及び側面部分はこの他の原子がリッチとなる一方、銅配線の表面部分はシリコン原子がリッチとなるような分布をもって添加されていることを特徴としている。

## 【0011】

かくして、銅配線はその四方から銅以外の原子またはシリコン原子が添加されることになり、EM耐性およびSM耐性の両方が向上されることになる。

## 【0012】

本発明による半導体装置の製造方法は、シード層上にメッキやCVDにより形成した銅の中に、そのシード層を銅と銅以外の原子との合金により形成することにより、当該原子を拡散添加させ、さらに銅配線の表面からシリコン原子を拡散添加することを特徴としている。かくして、銅以外の原子またはシリコン原子が四方から添加された銅配線が形成され、EM耐性およびSM耐性の両方が向上されることになる。

#### 【0013】

なお、シリコン原子の銅配線表面からの拡散は、銅配線の表面に銅シリサイド層を形成するものと根本的に異なっていることに注意されたい。銅シリサイド層を形成することは、配線表面の銅とシリコンと積極的にシリサイド反応化させるものであり、このため、シリサイド反応が生じるとシリコン原子の銅配線内部への拡散は阻止されることになる。本発明では、シリサイド反応が起きないようにしているので、銅配線内部へのシリコン原子の拡散が可能となる。

#### 【0014】

#### 【発明の実施の形態】

本発明の上記および他の特徴や利点をより明瞭にするために、以下、本発明の実施の形態につき図面を用いて説明する。

#### 【0015】

(第1の実施形態) 図1～図9を参照すると、本発明の第1の実施形態による半導体装置がその製造工程と共に示されている。まず、図1において、トランジスタ等の多数の素子が形成された半導体基板1は絶縁層3により覆われている。この絶縁層3には、基板1に形成された素子の不純物領域2の一部を露出するためのコンタクトホール8が形成されている。コンタクトホール8には導電体6が埋め込まれている。この導電体6はTi層およびTiN層でなるバリア膜4 (Ti層が下層) とタングステンでなるプラグ層5とでなる。

#### 【0016】

図2に示すように、絶縁層3及び導電体6を層間絶縁膜10で覆った後、第1の埋めこみ銅配線を形成するために、絶縁膜10に配線溝12が形成される。この溝12により、導電体6と絶縁層3の一部とが露出される。この後、Ta層およ

びTa<sub>2</sub>N層でなるバリア層14 (Ta<sub>2</sub>N層が下層) がスパッタにより全面に形成される。さらにその上にシード層15が形成される。このシード層15は、本発明にしたがって、銅以外の金属としてのAlとCuとの合金のスパッタにより形成される。Alの重量%は、0.1ないし1.5、さらに好ましくは0.1ないし1未満なるように添加しておく。本実施形態では、0.5%重量%とした。上記銅以外の金属としては、Alのほかに、Sn, Ti, Si, In, Ag, Zr, Ni, Mg, Be, Pd, Co, B, Zn, Ca, Au, Gaでもよく、2種類以上の元素を添加しても良い。

#### 【0017】

しかる後、メッキ法又はCVD法によりCu層16を全面に形成する。Cu層16を形成した後、200～400℃の温度によりアニール処理すなわち熱処理を施し、シード層15内のAlをCu層16内に拡散させる。

#### 【0018】

この結果、図3に示すように、CuにAlを含む銅合金層20が形成される。但し、Alは層20内に均一に分布し得るのではなく、シード層15からの拡散であるために、層20の底面部分および配線溝20で規定される側面部分から表面部分に向かって減少する分布となっている。

#### 【0019】

この後、図4に示すように、CMP等による表面平坦化プロセスが実行され、残った銅合金層25及びバリア層14でなる第1の銅配線30が形成される。しかる後、本発明にさらに、シラン (SiH<sub>4</sub>) が銅配線30に照射される。この照射は、実施形態では、本銅配線30を有する半導体ウェーハをプラズマCVD装置に搬入した状態において、シランをガス流量: 10～500 sccm、N<sub>2</sub>ガスを流量: 100～5000 sccm、処理圧力: 20 Torr、処理温度及び時間: 約350℃及び120秒の条件で行なわれる。

#### 【0020】

その結果、銅配線30の表面に銅シリサイド層が実質的に形成されることなく、すなわち、シリサイド化反応が実質的に生じることなく、シリコン原子を銅配線30内に拡散させることができる。シリコン原子の拡散は表面からであるので



、配線 30 内に均一に分布し得るのではなく、銅配線 30 の表面部分からその底面及び側面部分に向かって減少する分布となっている。添加するシリコン原子の量は、配線 30 全体に対し 0.01～8 原子%が好ましい。

#### 【0021】

かくして、銅以外の金属原子としての Al 原子とシリコン原子との両方が、底面及び側面部分では Al 原子がリッチとなり、一方表面部分ではシリコン原子がリッチとなるような分布をもって添加された銅配線 30 が形成される。

#### 【0022】

なお、シリコン原子の銅配線 30 への拡散の際には、銅配線 30 の表面に酸化物／酸化膜が無いことが好ましい。この目的のために、シラン照射の前に、銅配線 30 表面の酸化物／酸化膜を水素で還元して除去することが好ましい。この処理は同一のプラズマ CVD 装置で実行できる。

#### 【0023】

次に、再び同一のプラズマ CVD 装置を用い、反応ガスを  $\text{SiH}(\text{CH}_3)_3$ 、 $\text{NH}_3$  及び  $\text{He}$  に切り換え、図 5 のように、銅拡散防止膜としてのプラズマ  $\text{SiCN}$  膜 31 を全面に形成する。同じプラズマ CVD 装置を使用するので、Al 及び Si 原子が添加された銅配線 30 の表面が酸化されることなく銅拡散防止膜 31 を形成することができる。なお、銅拡散防止膜 31 を形成する目に、Al 及び Si 原子が添加された銅配線 30 の表面に新たに銅シリサイド膜を形成してもいい。

#### 【0024】

図 5 に戻って、銅拡散防止膜 31 の上に全面に層間絶縁膜 32 が形成される。この層間絶縁膜 32 に対し、本実施の形態では、所謂デュアルダマシンとして、銅配線 30 との接続のためのビア 35 と上層銅配線のための配線溝 36 とが形成される。デュアルダマシンの製法としては、ビアファースト法、トレンチファースト法、ミドルファースト法、デュアルハードマスク法があるが、本発明は製法によって限定されるものではなく上記のいずれを用いても良い。

#### 【0025】

しかる後、図 2 に関連して説明したように、バリア膜 40 ( $\text{Ta}/\text{TaN}$  膜)

、Cu-Al合金シード層41を形成し、メッキ又はCVDにより銅層42を形成する。

#### 【0026】

次に、アニール処理によりシード層41からAlをCu層42に拡散させる結果、図7に示すように、Cu-Al合金層45を形成する。

#### 【0027】

CMPによる平坦化プロセスにより、Cu-Al層45およびバリア層41を、絶縁膜32が露出するまで除去する。その結果、図8に示すように、Cu-Al合金でなる第2の銅配線50が形成される。シランを図4に関連した説明した条件により銅配線50に照射し、シリコン原子を銅配線50内に拡散する。

#### 【0028】

かくして、銅以外の金属原子としてのAl原子とシリコン原子との両方が、底面及び側面部分ではAl原子がリッチとなり、一方表面部分ではシリコン原子がリッチとなるような分布をもって添加された銅配線50が形成される。この銅配線50は、配線部分と当該部分に連続するビア部分とを有することになる。

#### 【0029】

銅配線50含む全面に銅拡散防止膜60が形成される(図9)。図5乃至図9を繰り返すことにより、さらに上層の銅配線が形成される。

#### 【0030】

このようにして、各層の銅配線30、50には、それらの底面及び側面部分では銅以外の金属、例えばAl原子がリッチとなるように、表面部分ではシリコン原子がリッチとなるように添加されている。したがって、各配線30、50の全てについてEM耐性が向上しており、さらに、配線30については、コンタクトホール8を埋める導電体6との接触部分や上層銅配線50のビア部分でのSM耐性も向上している。配線50については、ビア部分やその上層の配線の接触部分でのSM耐性が向上していることになる。

#### 【0031】

本実施例では層間絶縁膜10と32に炭素含有シリコン酸化膜(SiOC又はSiCOH)を用いたが、本発明は層間絶縁膜種によって限定されるものではない。シリ

コン酸化膜 ( $\text{SiO}_2$ )、梯子型水素化シロキサン (Lodder Oxide<sup>TM</sup>)、水素化シロキサン (HSQ)、フッ素含有シリコン酸化膜 ( $\text{SiOF}$ )、メチルシルセスオキサン (MSQ)、有機ポリマー系低誘電率膜 (ポリフェニレン、ポリアリルエーテル、ベンゾシクロブテン)、又は上記絶縁膜をポーラス化したものでも良い。  
本実施例ではバリアメタル層 14 と 40 に Ta/TaN 積層構造を用いたが、本発明はバリアメタル種や構造によって限定されるものではない。Ta、Ta<sub>2</sub>N<sub>5</sub>、TaSiN、W、WN、WSiN、Ti、TiN、TiSiN でも良く、これらの膜を積層にした構造でも良い。  
また、成膜方法は PVD (Physical Vapor Deposition)、CVD (Chemical Vapor Deposition)、ALD (Atomic Layer Deposition) のいずれを用いても良い。

#### 【0032】

(第 2 の実施形態) 図 10～図 18 を参照すると、本発明の第 2 の実施形態に基づく半導体装置がその製造方法と共に示されている。なお、図 1～図 9 と同一の構成要素は同じ番号で示し、その説明を省略する。本実施の形態は所謂シングルダマシン構造に適用したものである。

#### 【0033】

すなわち、図 10～図 13 に示すように、不純物領域 2 に対するコンタクト導電体およびこのコンタクト導電体に接続された 1 層目の銅配線 30 が形成される。

#### 【0034】

次に、図 14 のように、全面に銅拡散防止膜 31 と層間絶縁膜 70 が形成した後、シングルダマシンとしてのビア 71 が、膜 31 及び 70 の一部を除去することにより、形成される。そのビア 71 にバリア膜 72 (Ta/TaN) を形成し、シード膜 (図示せず) を介して銅層を形成し、CMP の平坦化プロセスにより、ビア 71 に銅層 73 を残す。本形態では、シード膜は Cu としており、Al 等の他の金属原子の合金とはしていない。さらに、Cu 銅 73 へのシリコン原子の拡散も施していない。Cu 層 73 はバリア層 72 およびその跡に形成される銅拡散防止膜で覆われることになるので、その EM 耐性及び SM 耐性はそもそも問題の無いレベルとなっている。勿論、シード層として銅とそれ以外の金属との合金としてもよく、また、シリコン原子を表面から拡散してもいい。

**【0035】**

この後、図15に示すように、層間絶縁膜78を全面に形成し、この膜78と銅拡散防止膜75の一部を除去して、第2層目の銅配線のための配線溝79を形成する。そして、図6に関連して述べたように、バリア膜40、シード層41及び銅層42を形成する。

**【0036】**

この後は、図7から図9に関連する工程で説明したように、第2層目の銅配線50を形成する（図16から図18）。

**【0037】**

本実施例では層間絶縁膜10、70、78に炭素含有シリコン酸化膜（SiOC又はSiCOH）を用いたが、本発明は層間絶縁膜種によって限定されるものではない。シリコン酸化膜（SiO<sub>2</sub>）、梯子型水素化シロキサン（Lodder Oxide™）、水素化シロキサン（HSQ）、フッ素含有シリコン酸化膜（SiOF）、メチルシルセスオキサン（MSQ）、有機ポリマー系低誘電率膜（ポリフェニレン、ポリアリルエーテル、ベンゾシクロブテン）、又は上記絶縁膜膜をポーラス化したものでも良い。

**【0038】**

本実施例ではバリアメタル層14、72、40にTa/TaN積層構造を用いたが、本発明はバリアメタル種や構造によって限定されるものではない。Ta、Ta<sub>2</sub>N<sub>5</sub>、TaSiN、W、WN、WSiN、Ti、TiN、TiSiNでも良く、これらの膜を積層にした構造でも良い。また、成膜方法はPVD（Physical Vapor Deposition）、CVD（Chemical Vapor Deposition）、ALD（Atomic Layer Deposition）のいずれを用いても良い。

**【0039】****【発明の効果】**

以上のとおり、本発明によれば、銅の低抵抗というメリットを生かしEMおよびSM両耐性が向上した銅配線を備える半導体及びその製造方法が提供される。

**【0040】**

なお、本発明は、銅配線に他の金属原子とシリコン原子との両方が、配線の底

面及び側面部分は前記他の金属原子がリッチとなり、配線の表面部分は前記シリコン原子がリッチとなるような分布をもって添加されていることを特徴とし、また、そのための製造方法、すなわち、シード層上に形成された銅配線層の中に、前記シード層を銅と銅以外の金属との合金により形成することにより、前記金属の原子を拡散添加させ、さらに前記銅配線の表面からシリコン原子を拡散添加することを特徴とするものである。したがって、添加すべき銅以外の金属原子、その製造条件、用いる材料等は、上記実施形態に限定されず、本特徴を逸脱することなく適宜変更し得ることは明らかである。

【図面の簡単な説明】

【図 1】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 2】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 3】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 4】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 5】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 6】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 7】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程

断面図。

【図 8】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 9】

本発明の第一実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 10】

本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 11】

本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 12】

本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 13】

本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 14】

本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 15】

本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 16】

本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 17】

本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【図 1 8】

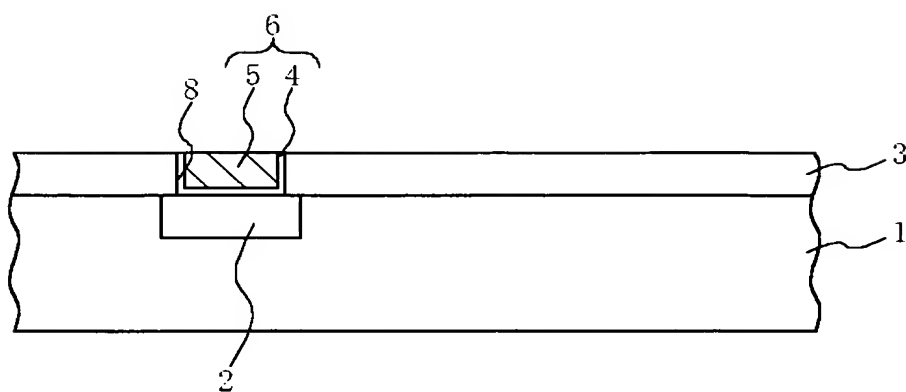
本発明の第二実施形態による半導体装置およびその製造方法と共に示す一工程断面図。

【符号の説明】

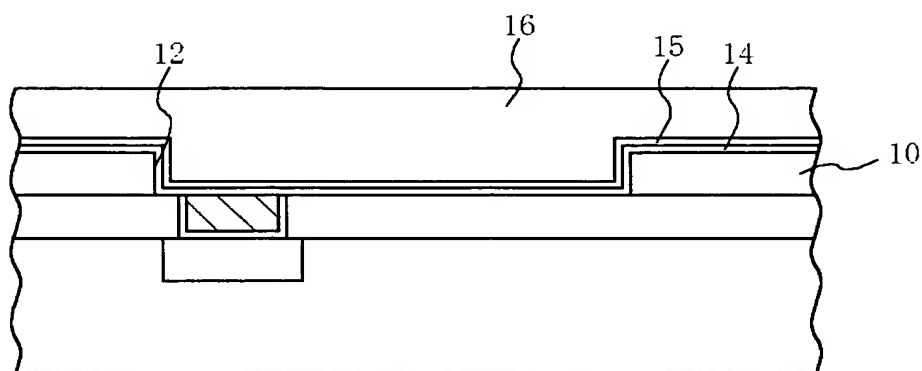
1 - 半導体基板、2 - 不純物領域、3 - 絶縁膜、6 - コンタクト導電体、14、40 - バリア層、15、41 - シード層、16、42 - 銅層、30、50 銅配線

【書類名】 図面

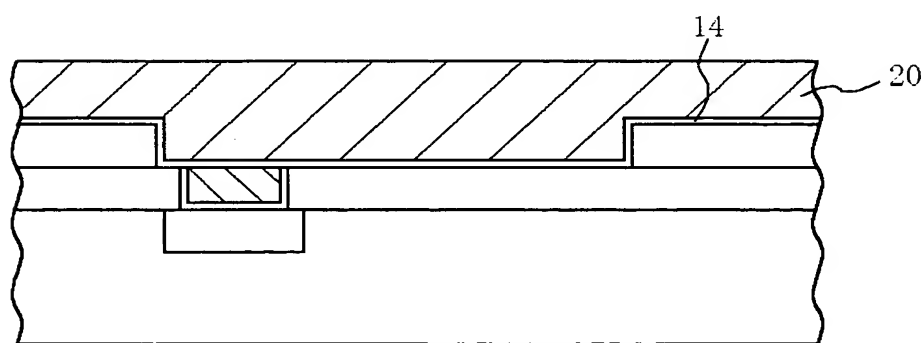
【図 1】



【図 2】

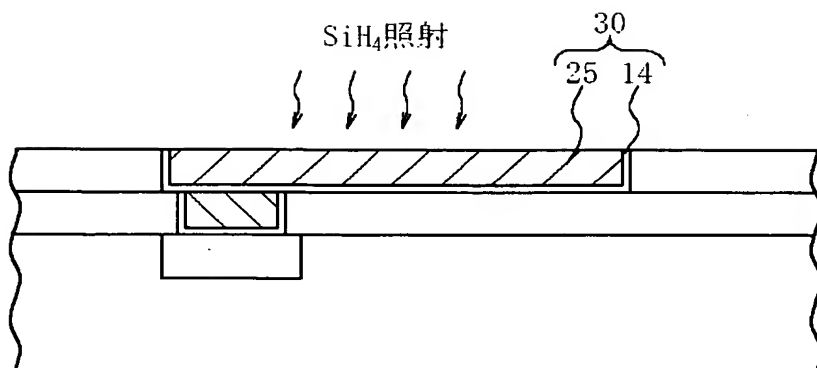


【図 3】

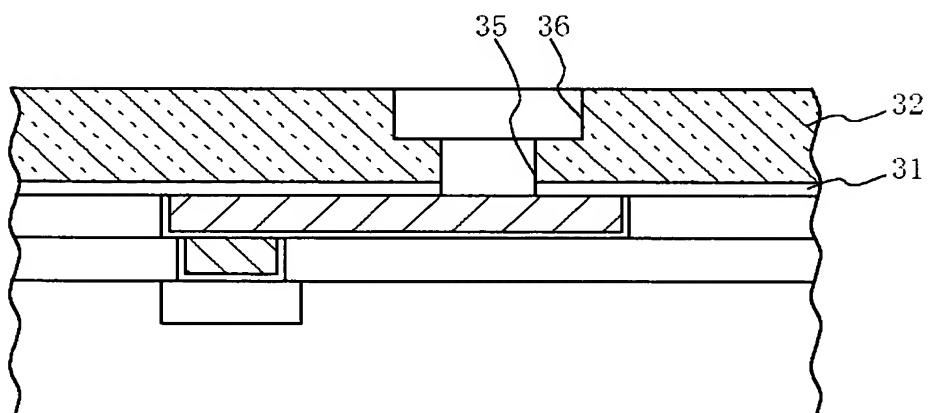




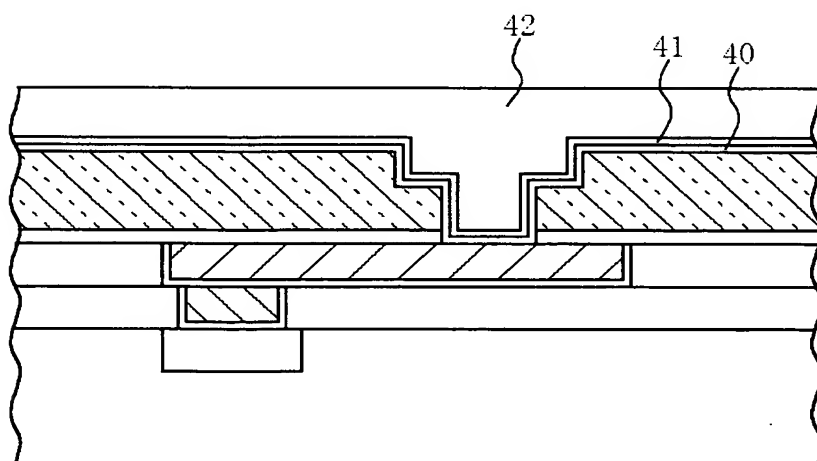
【図 4】



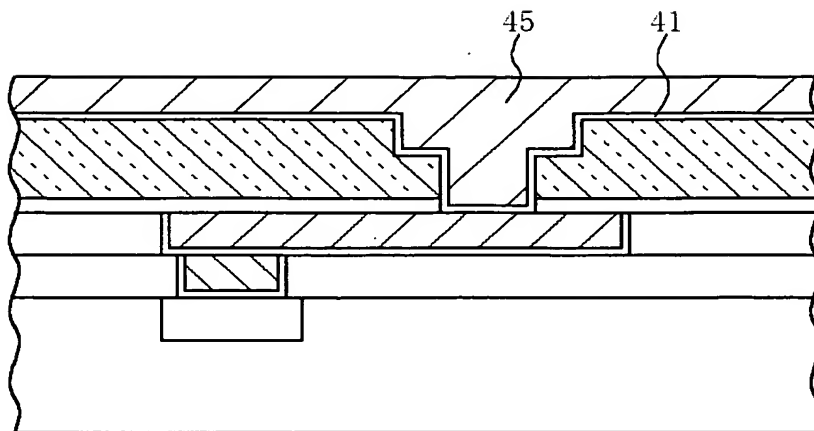
【図 5】



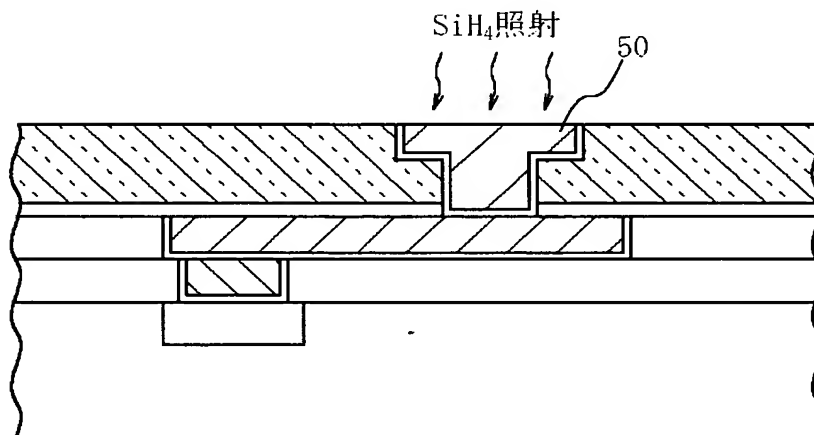
【図 6】



【図 7】



【図 8】



【図 9】

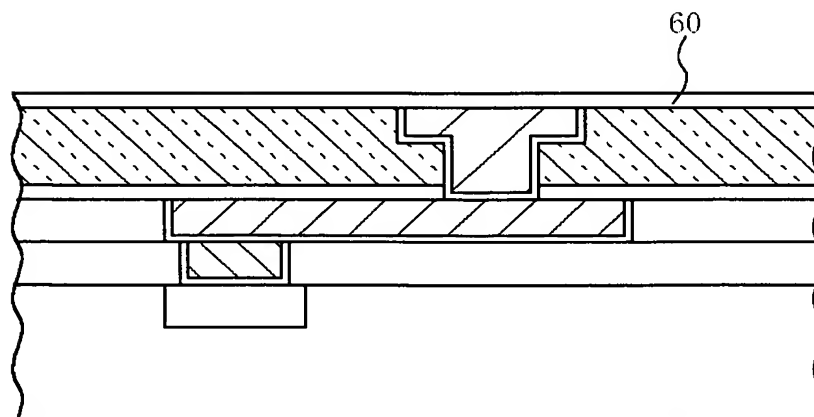
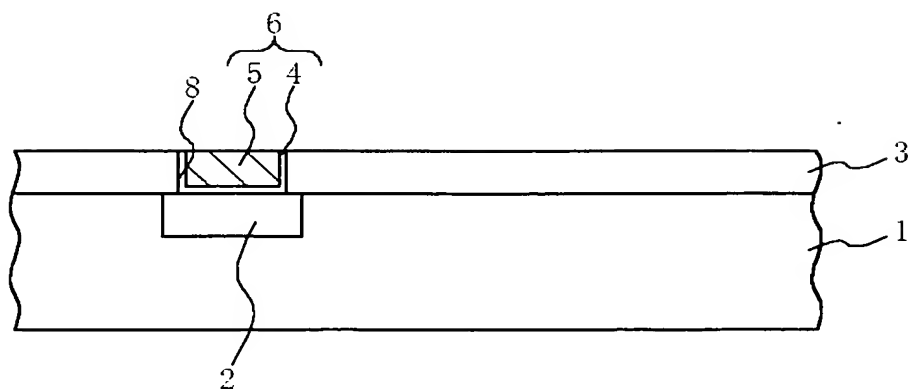
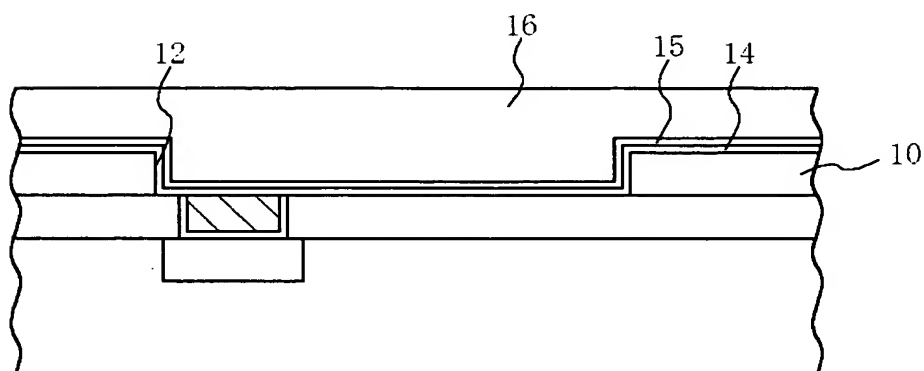


図 10

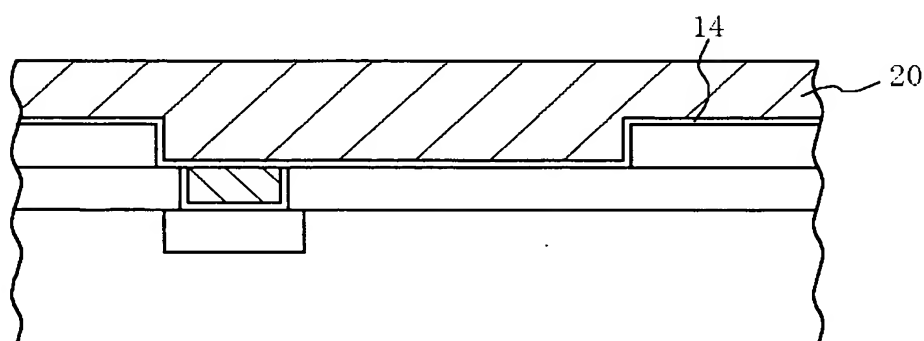
【図 10】



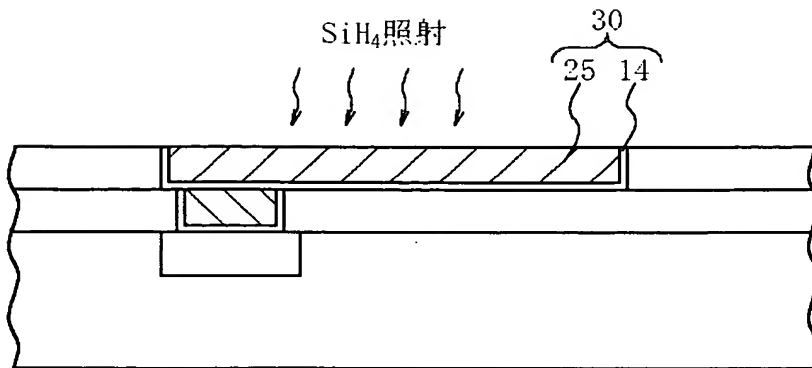
【図 11】



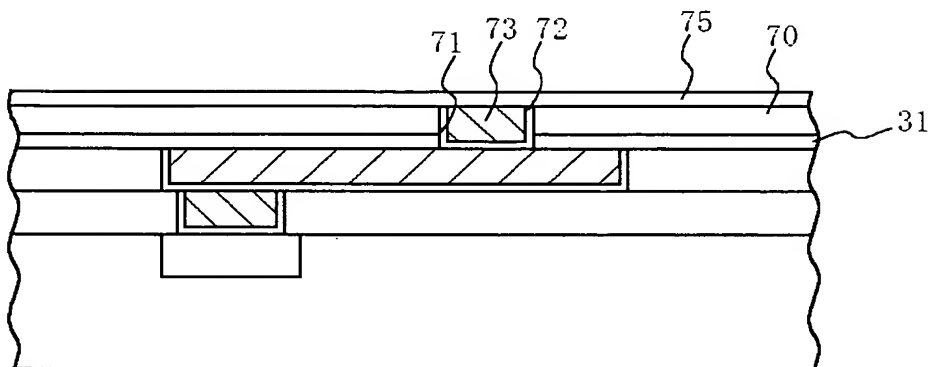
【図 12】



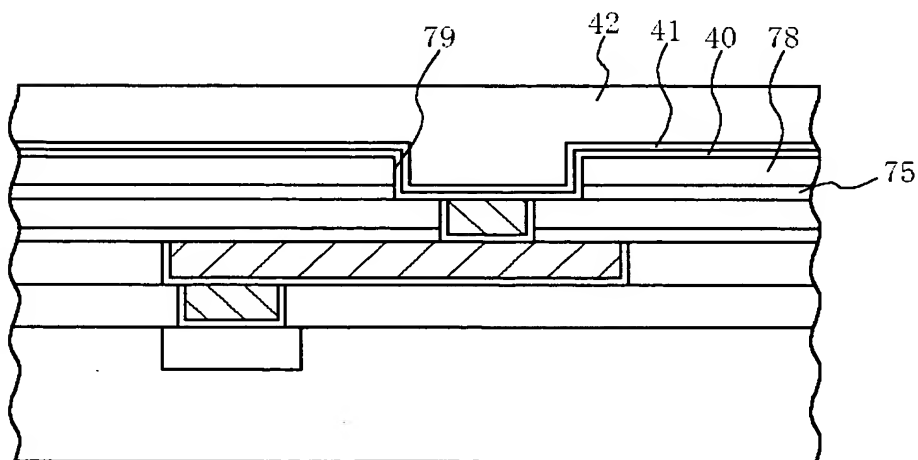
【図 13】



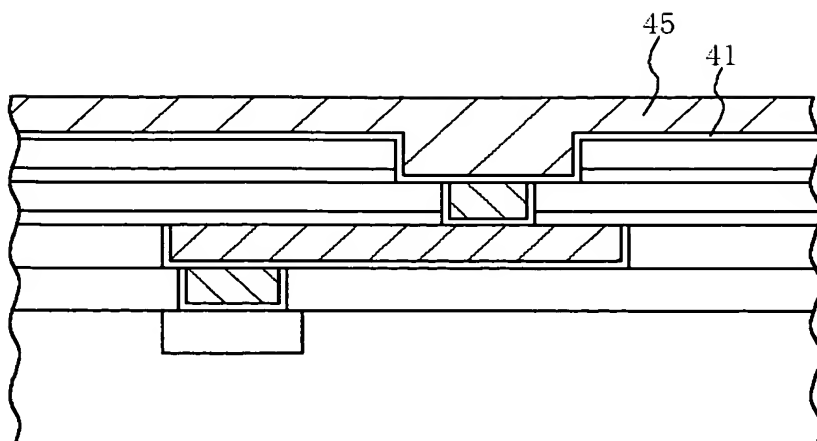
【図 14】



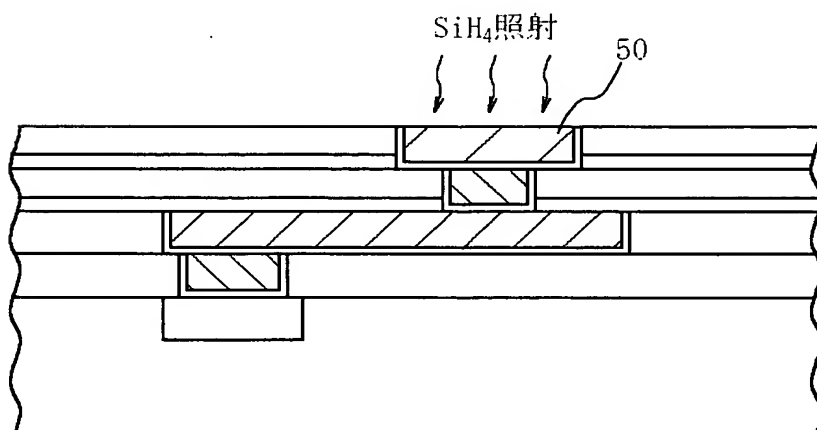
【図 15】



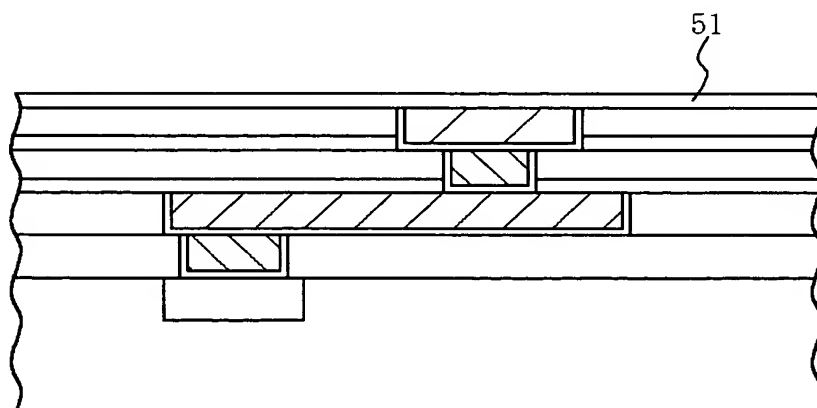
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 エレクトロマイグレーション（EM）およびストレスマイグレーション（SM）両耐性に優れた銅配線を備える半導体装置およびその製造方法を提供する。

【解決手段】 銅配線 3 0 や 5 0 に、他の金属原子とシリコン原子との両方が、配線の底面及び側面部分は前記他の金属原子がリッチとなり、配線の表面部分は前記シリコン原子がリッチとなるような分布をもって添加されている。このような銅配線は、シード層 1 5， 4 1 上に形成された銅配線層 1 6， 4 2 の中に、前記シード層を銅と銅以外の金属との合金により形成することにより、前記金属の原子を拡散添加させ、さらに前記銅配線の表面からシリコン原子を拡散添加することにより実現される。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 6 7 0 0
受付番号	5 0 3 0 0 1 1 7 6 2 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 2 7 日

< 認定情報・付加情報 >

【提出日】 平成15年 1月24日

次頁無

特願 2 0 0 3 - 0 1 6 7 0 0

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 N E C エレクトロニクス株式会社